



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0013380
Application Number

출원 년 월 일 : 2003년 03월 04일
Date of Application MAR 04, 2003

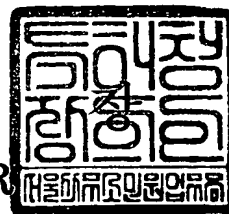
출원인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.



2004 년 02 월 23 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	2003.03.04
【발명의 명칭】	플라즈마 디스플레이 패널 및 그 구동방법
【발명의 영문명칭】	PLASMA DISPLAY PANEL AND METHOD OF DRIVING THE SAME
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	2002-026946-4
【발명자】	
【성명의 국문표기】	최성천
【성명의 영문표기】	CHOI, Sung Chun
【주민등록번호】	651018-1345420
【우편번호】	431-719
【주소】	경기도 안양시 동안구 달안동 샛별한양아파트 305-1401
【국적】	KR
【발명자】	
【성명의 국문표기】	강정원
【성명의 영문표기】	KANG, Jung Won
【주민등록번호】	670717-1047721
【우편번호】	140-728
【주소】	서울특별시 용산구 이촌동 한가람아파트 212-1503
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김영호 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	9	면	9,000	원
---------	---	---	-------	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	7	항	333,000	원
---------	---	---	---------	---

【합계】	371,000	원		
------	---------	---	--	--

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 양광주영역을 확대시킴으로써 방전효율을 높일 수 있도록 한 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것이다.

본 발명의 실시 예에 따른 플라즈마 디스플레이 패널은 상부기판 상에 서로 나란하게 형성된 스캔전극 및 서스테인전극과, 스캔전극 및 서스테인전극에 교차되도록 하부기판 상에 형성된 어드레스전극을 구비하며, 스캔전극과 서스테인전극간의 간격이 스캔전극과 어드레스전극간의 간격보다 넓게 설정된다.

【대표도】

도 6

【명세서】**【발명의 명칭】**

플라즈마 디스플레이 패널 및 그 구동방법{PLASMA DISPLAY PANEL AND METHOD OF DRIVING THE SAME}

【도면의 간단한 설명】

도 1은 종래의 3전극 교류 면방전 플라즈마 디스플레이 패널의 방전셀을 나타내는 사시도이다.

도 2는 도 1에 도시된 플라즈마 디스플레이 패널의 단면도이다.

도 3은 도 1에 도시된 플라즈마 디스플레이 패널의 한 프레임을 나타내는 도면이다.

도 4는 도 1에 도시된 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도이다.

도 5a는 서스테인 방전시 발광영역을 구분하여 도시한 도면이다.

도 5b는 도 5a의 발광영역에 따른 전압분포를 나타내는 도면이다.

도 6은 본 발명의 실시 예에 따른 양광주영역 구조에서 방전 흐름을 보여주는 도면이다.

도 7a 내지 7c는 도 6에 따른 수평형태의 양광주영역 구조에서 서스테인 기간동안 방전 개시 및 유지를 자세히 나타내는 도면이다.

도 8a 및 b는 종래의 전극구조와 양광주영역 전극구조의 효율을 보여주는 그래프이다.

도 9는 어드레스전극에 펄스 바이아스를 인가하는 경우를 나타내는 그래프이다.

도 10은 적색 서브픽셀에서 발생하는 가시광의 양을 찍은 사진이다.

도 11은 7.5 인치 테스트 샘플을 사용하여 가시적인 효율을 종래의 샘플과 비교한 결과를 보여주는 그래프이다.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 상부기관 18 : 하부기관

Y : 스캔전극 Z : 서스테인전극

X : 어드레스 전극 12Y, 12Z : 투명전극

13Y, 13Z : 금속버스전극 14 : 상부 유전체층

16 : 보호막 22 : 하부 유전체층

24 : 격벽 26 : 형광체층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20> 본 발명은 플라즈마 디스플레이 패널에 관한 것으로, 특히 양광주영역을 확대시킴으로써 방전효율을 높일 수 있도록 한 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것이다.

<21> 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함)은 He+Xe, Ne+Xe 및 He+Ne+Xe 등의 불활성 혼합가스의 방전 시 발생하는 147nm의 자외선에 의해 형광체를 발광시킴으로써 문자 또는 그래픽을 포함한 화상을 표시하게 된다. 이러한 PDP는 박막화와 대형화가 용이할 뿐만 아니라 최근의 기술 개발에 힘입어 크게 향상된 화질을 제공한다. 특히, 3전극

교류 면방전형 PDP는 방전시 표면에 벽전하가 축적되며 방전에 의해 발생하는 스퍼터링으로부터 전극들을 보호하기 때문에 저전압 구동과 장수명의 장점을 가진다.

<22> 도 1은 통상적으로 교류형 PDP에 매트릭스 형태로 배열되어진 방전셀 구조를 나타내는 사시도이고, 도 2는 도 1에 도시된 플라즈마 디스플레이 패널의 단면도이다.

<23> 도 1 및 도 2를 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기관(10) 상에 형성되어진 스캔전극(Y) 및 서스테인전극(Z)과, 하부기관(18) 상에 형성되어진 어드레스전극(X)을 구비한다. 스캔전극(Y)과 서스테인전극(Z) 각각은 투명전극(12Y, 12Z)과, 투명전극(12Y, 12Z)의 선폭보다 작은 선폭을 가지며 투명전극의 일측 가장자리 영역에 형성되는 금속버스전극(13Y, 13Z)을 포함한다.

<24> 투명전극(12Y, 12Z)은 통상 인듐-틴-옥사이드(Indium-Tin-Oxide : 이하 "ITO"라 함)로 상부기관(10) 상에 형성된다. 금속버스전극(13Y, 13Z)은 통상 크롬(Cr) 등의 금속으로 투명전극(12Y, 12Z) 상에 형성되어 저항이 높은 투명전극(12Y, 12Z)에 의한 전압강하를 줄이는 역할을 한다. 스캔전극(Y)과 서스테인전극(Z)이 나란하게 형성된 상부기관(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(X)이 형성된 하부기관(18) 상에는 하부 유전체층(22), 격벽(24)이 형성되며, 하부 유전체층(22)과 격벽(24) 표면에는 형광체층(26)이 도포된다. 어드레스전극(X)은 스캔전극(Y) 및 서스테인전극(Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체층(26)은 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색

또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하부기판(10,18)과 격벽(24) 사이에 마련된 방전셀의 방전공간에는 방전을 위한 He+Xe, Ne+Xe 및 He+Ne+Xe 등의 불활성 혼합가스가 주입된다.

<25> 이러한 3전극 교류 면방전형 PDP는 화상의 계조(Gray Level)를 구현하기 위하여 한 프레임을 발광횟수가 다른 여러 서브필드로 나누어 구동하고 있다. 각 서브필드는 다시 방전을 균일하게 일으키기 위한 리셋 기간, 방전셀을 선택하기 위한 어드레스 기간 및 방전횟수에 따라 계조를 구현하는 서스테인 기간으로 나뉘어진다. 예를 들어, 도 3에서 처럼 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 8개의 서브필드들(SF1 내지 SF8)로 나누어지게 된다. 아울러, 8개의 서브 필드들(SF1 내지 SF8) 각각은 리셋 및 어드레스 기간과 서스테인 기간으로 다시 나누어지게 된다. 여기서, 각 서브필드의 리셋 및 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인 기간은 각 서브필드에서 2^n ($n=0,1,2,3,4,5,6,7$)의 비율로 증가된다. 이와 같이 각 서브필드에서 서스테인 기간이 달라지게 되므로 화상의 계조를 구현할 수 있게 된다.

<26> 도 4는 일반적인 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도이다.

<27> 도 4를 참조하면, PDP의 한 프레임에 포함되는 서브필드(SF)는 리셋기간(RPD), 어드레스 기간(APD) 및 서스테인 기간(SPD)으로 나누어 구동된다.

<28> 리셋기간(RPD)에는 스캔전극(Y)에 리셋펄스(RP)가 공급된다. 리셋펄스(RP)는 램프파 형태로 셋업(Set-up)기간에 전압이 증가하고 셋다운(Set-down)기간에는 전압이 감소하는 형태를 가진다. 전압이 서서히 증가하는 셋업(Set-up)기간에는 다수의 미세한 셋업방전이 발생되어 상부 유전층(14)에 벽전하가 형성된다. 이어서, 전압이 서서히 감소하는 셋다운(Set-down)기간에는 다수의 미세한 셋다운방전에 의해 불요의 하전입자들이 부분적으로 소거되어 벽전하가

오방전을 일으키지 않으면서 다음의 어드레스방전에 도움을 줄 정도로 감소하게 된다.

셋다운(Set-down)기간동안 서스테인전극(Z)에는 정극성(+)의 직류전압이 공급된다. 이 정극성(+)의 직류전압에 대하여 리셋펄스(RP)는 서서히 감소하는 형태로 공급되므로 셋다운(Set-down) 시 스캔전극(Y)이 서스테인전극(Z)에 대하여 상대적인 부극성(-)이 됨으로써, 즉극성이 반전됨으로써 셋업(Set-up)시 생성된 벽전하들이 감소하게 된다.

<29> 어드레스 기간(APD)에는 스캔전극(Y)에 부극성(-)의 스캔전압(V_y)을 가지는 스캔펄스(SP)가 공급됨과 아울러 동시에 어드레스전극(X)에 어드레스전압(V_a)에 해당하는 데이터펄스(DP)가 공급됨으로써 어드레스방전이 발생하게 된다. 이 어드레스방전으로 형성된 벽전하는 다른 방전셀들이 어드레스되는 기간동안 유지된다.

<30> 서스테인 기간(SPD)에는 시작부에서 스캔전극(Y)에 트리거링펄스(TP)를 공급하여 어드레스기간(APD)에서 충분히 벽전하가 형성된 방전셀(1)들에서 서스테인방전이 개시되게 한다. 이어서, 서스테인전극(Z)과 스캔전극(Y)에 교번적으로 서스테인전압(V_s)에 해당하는 서스테인펄스(SUSP_z, SUSP_y)를 공급하여 서스테인기간(SPD) 동안 서스테인방전이 유지되게 한다.

<31> 이러한 서스테인 기간(SPD)에 이은 소거기간(EPD)에서는 서스테인전극(Z)에 소거펄스(EP)를 공급하여 유지되던 방전이 중지되게 한다. 소거펄스(EP)는 발광크기가 작게끔 램프파 형태를 가지거나 방전 소거를 위해 $1\mu s$ 정도의 짧은 펄스폭을 가지게 된다. 이러한 소거펄스(EP)에 의한 짧은 소거방전으로 하전입자들이 소거되어 방전이 중지된다.

<32> 도 5a는 서스테인 방전시 발광영역을 구분하여 도시한 도면이고, 도 5b는 도 5a의 발광 영역에 따른 전압분포를 나타내는 도면이다.

<33> 도 5a 및 5b를 참조하면, 방전 시 PDP 셀내부의 방전공간에서 발광현상이 발생하는 영역이 구분되어 도시되어 있다. 도 5a에 도시된 바와 같이 음극(예를들면, 서스테인전극(Z))과 양극(예를들면, 스캔전극(Y)) 사이에 소정의 전압을 인가하면, 양 전극간에는 전자의 방출에 의한 방전이 일어나게 된다. 이때, 음극에서 방출된 1차전자들은 양 전극간에 인가된 전계에 의해 가속을 받아서 중성입자들과 충돌하여 새로운 전자(즉, 2차전자)를 생성시키게 된다. 2차 전자는 전압의 변화가 큼에 따라 전계의 크기가 상대적으로 큰 도 5b의 A 부분에서 강하게 가속받는다. 이러한 2차 전자는 이온화를 진행하면서 에너지를 계속 얻어 도 5b의 B영역에 도달한다. 도 5b의 B영역에서 2차전자는 더 이상 에너지를 얻지 못하고 충돌에 의해 중성입자에 에너지를 전달하는데 이 과정에서 여기된 입자들이 바닥상태로 떨어지면서 가시광선과 진공자외선을 발생하는데 이 영역은 도 5a에 도시된 바와같이 부글로우(Negative Glow) 영역(2)이라 불리운다. 이 부글로우 영역(2)을 지난 전자들은 에너지가 매우 약하여 전체적으로 균일한 플라즈마 상태를 나타내는데 이 영역은 도 5a에 도시된 바와 같이 양광주(Positive Column)영역(4)이라 불리운다. 이 양광주영역(4)에서는 전계에 의한 에너지가 아니라 전체에서 에너지가 높은 전자들만 기체를 여기 시켜서 발광을 하게된다. 이 양광주영역(4)에서 이온화는 거의 일어나지 않고 여기에 의한 발광이 많이 일어나서 전체적으로 에너지가 빛으로 많이 변환되어 효율이 좋다고 알려져 있다.

<34> 한편, 현재 상업적으로 이용되는 PDP의 경우 1 ~ 1.5 lm/W 의 효율을 보이고, 일부 테스트 샘플 레벨에서는 이보다 높은 2.0 lm/W 수준의 효율을 보고하고 있다. 기존 대비, 효율 상승의 원인이 되는 것은 구조적 개선보다 사용 가스에서 Xe의 양을 적당한 레벨에서 하이 레벨(14%까지 상승)로 상승시킨 것에 기인한다고 볼 수 있다. 즉, 현재 이용되는 Ne+Xe 등의 불활성 혼합가스의 경우 Ne의 양은 95% 정도이고, Xe의 양은 5% 정도이다. 따라서, 방전효율을 높

이기 위하여 패널에 주입되는 Xe의 양을 14% 정도까지 상승시킨다. 그러나, Xe의 크기가 Ne의 크기보다 월등히 크기 때문에 Xe의 양이 많아지면 전하의 경로가 제한되어 방전을 일으키기 위한 전압이 상승해야 한다. 즉, Xe 양의 증가는 스캔전극(Y)과 서스테인전극(Z) 사이의 브레이크다운과 서스테인 전압을 상승시키는 결과를 초래한다. 또한, 구동에 있어서도 많은 Xe 양의 적용에 의한 전자의 쿨링 효과의 증가 즉, Xe가 Ne에 비해 상대적으로 월등히 큼으로 그만큼 전자의 이동이 어려워져 방전점화(Discharge Ignition)가 지연되는 타임 딜레이(Time delay)가 발생되고 있다.

<35> 즉, 종래 PDP의 구동방법은 타임 딜레이(time delay)가 발생하는 문제점 없이 방전효율을 높이는데 어려움이 있다. 따라서, 종래의 PDP는 방전효율을 높이기 위해서 Xe의 양을 증가시켰다. 그러나, Xe의 양을 증가시킴으로써 형광체에서 적외선이 바로 발광하지 못하는 타임 딜레이(time delay)가 발생하는 문제점이 있다. 즉, 종래의 PDP구조에서는 타임 딜레이(time delay)등의 문제점 없이 방전효율을 높이는데 어려움이 있었다.

【발명이 이루고자 하는 기술적 과제】

<36> 따라서, 본 발명의 목적은 양광주영역을 확대시킴으로써 방전효율을 높일 수 있도록 한 플라즈마 디스플레이 패널 및 그 구동방법을 제공함에 있다.

【발명의 구성 및 작용】

<37> 상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널은 상부기판 상에 서로 나란하게 형성된 스캔전극 및 서스테인전극과, 스캔전극 및 서스테인전극

에 교차되도록 하부기판 상에 형성된 어드레스전극을 구비하며, 스캔전극과 서스테인전극간의 간격이 상기 스캔전극과 어드레스전극간의 간격보다 넓게 설정된다.

<38> 상기 서스테인전극과 어드레스전극간의 간격은 상기 스캔전극과 어드레스전극간의 간격과 동일하게 설정된다.

<39> 상기 스캔전극과 서스테인전극간의 간격은 $300\mu\text{m}$ 이상으로 설정된다.

<40> 본 발명의 실시 예에 따른 플라즈마 디스플레이 패널의 구동방법은 상부기판 상에 서로 나란하게 형성된 유지전극쌍과, 유지전극쌍에 교차되도록 하부기판 상에 형성된 어드레스전극을 구비하며, 서스테인 기간동안 상기 유지전극쌍 중 하나와 하부기판의 어드레스전극간의 대향방전이 발생되는 단계와, 대향방전이 발생된 후 상기 유지전극쌍간의 면방전이 발생되는 단계를 포함한다.

<41> 상기 서스테인 기간동안 상기 유지전극쌍에 서스테인 펄스가 교번적으로 공급되는 것을 특징으로 한다.

<42> 상기 서스테인 기간동안 상기 유지전극쌍에 서스테인 펄스가 교번적으로 공급될 때 상기 어드레스전극에 정극성의 펄스가 인가되는 것을 특징으로 한다.

<43> 상기 펄스 바이아스의 폭은 상기 서스테인 펄스의 폭보다 작은 것을 특징으로 한다.

<44> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부 도면을 참조한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

<45> 이하, 도 6 내지 도 11을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.

<46> 도 6은 본 발명에 따른 PDP의 단면도를 나타내는 도면이다.

<47> 도 6를 참조하면, 본 발명에 따른 양광주영역(Positive Column)을 이용한 3전극 교류 면 방전형 PDP의 방전셀은 상부기관(110) 상에 형성되어진 스캔전극(Y) 및 서스테인전극(Z)과, 하부기관(118) 상에 형성되어진 어드레스전극(X)을 구비한다. 스캔전극(Y)과 서스테인전극(Z) 각각은 투명전극(112Y, 112Z)과, 투명전극(112Y, 112Z)의 선폭보다 작은 선폭을 가지며 투명전극의 일측 가장자리 영역에 형성되는 금속버스전극(113Y, 113Z)을 포함한다.

<48> 투명전극(112Y, 112Z)은 통상 인듐-틴-옥사이드(Indium-Tin-Oxide)로 상부기관(110) 상에 형성된다. 금속버스전극(113Y, 113Z)은 통상 크롬(Cr) 등의 금속으로 투명전극(112Y, 112Z) 상에 형성되어 저항이 높은 투명전극(112Y, 112Z)에 의한 전압강하를 줄이는 역할을 한다. 스캔전극(Y)과 서스테인전극(Z)이 나란하게 형성된 상부기관(110)에는 상부 유전체층(114)과 보호막(116)이 적층된다. 상부 유전체층(114)에는 플라즈마 방전 시 발생된 벽전하가 축적된다. 보호막(116)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(114)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(116)으로는 통상 산화마그네슘(MgO)이 이용된다. 어드레스전극(X)이 형성된 하부기관(117) 상에는 하부 유전체층(122), 격벽(도시하지않음)이 형성되며, 하부 유전체층(122)과 격벽 표면에는 형광체층(도시하지않음)이 도포된다. 어드레스전극(X)은 스캔전극(Y) 및 서스테인전극(Z)과 교차되는 방향으로 형성된다. 격벽은 어드레스전극(X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체층은 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하부기관(110, 118)과 격벽 사이에 마련된 방전셀의 방전공간에는 방전을 위한 Ne+Xe 등의 불활성 혼합가스가 주입된다. 이와같은 본 발명에 따른 PDP에서는 상부기관(110) 상에 형성되어진 스캔전극(Y)과 서스

테인전극(Z)간의 간격(d)이 스캔전극(Y)과 어드레스전극(X)간의 간격(L)(또는 서스테인전극(Z)과 어드레스전극(X)간의 간격(L))보다 크게 설정된다.

<49> 따라서, 서스테인 기간(SPD)에는 스캔전극(Y)과 어드레스전극(X)간의 전압차가 스캔전극(Y)과 서스테인전극(Z)간의 전압차보다 높아져 스캔전극(Y)과 어드레스전극(X)간의 대향방전이 먼저 발생된다. 이를 자세히 설명하면, 스캔전극(Y)과 서스테인전극(Z)간의 간격(d)이 스캔전극(Y)과 어드레스전극(X)간의 간격(L)보다 크게 설정되기 때문에 스캔전극(Y)과 어드레스전극(X)간의 전압차가 스캔전극(Y)과 서스테인전극(Z)간의 전압차보다 높아져 스캔전극(Y)에 서스테인 펄스 인가시 도 6의 ① 방향으로 스캔전극(Y)과 어드레스전극(X)간의 대향방전이 먼저 발생하게 된다. 그후, 스캔전극(Y)과 서스테인전극(Z)간의 높은 전위차에 의하여 전자들은 도 6의 ② 방향으로 확산되면서 양광주영역(Positive Column)을 형성하게 된다. 이러한 양광주영역(Positive Column)의 확산이 끝나는 시점에서 도 6의 ③ 방향으로 서스테인전극(Z)과 어드레스전극(X)간의 대향방전이 발생된다. 이와 마찬가지로, 서스테인전극(Z)에 스캔전극(Y)과 교번적으로 서스테인 펄스가 인가시 도 6의 ③ 방향으로 서스테인전극(Z)과 어드레스전극(X)간의 대향방전이 먼저 발생하게 된다. 그후, 스캔전극(Y)과 서스테인전극(Z)간의 높은 전위차에 의하여 전자들은 도 6의 ② 방향으로 확산되면서 양광주영역(Positive Column)을 형성하게 된다. 이러한 양광주영역(Positive Column)의 확산이 끝나는 시점에서 도 6의 ① 방향으로 스캔전극(Y)과 어드레스전극(X)간의 대향방전이 발생된다. 이와같이, 스캔전극(Y)과 서스테인전극(Z)간의 간격(d)이 스캔전극(Y)과 어드레스전극(X)의 간격(L)보다 크게 설정하여 방전효율이 좋은 양광주영역(Positive Column)을 넓게 형성할 수 있다.

<50> 따라서, 본 발명에 따른 양광주영역을 이용한 PDP는 일반적인 Xe의 양을 갖는 일반구조에 많은 양의 Xe 을 적용하는 것에 준하는 높은 효율(Efficacy)을 구현할 수 있다. 이를 위하

여 현재 교류형 PDP에서 사용되는 부글로우(Negative Glow) 영역외에 낮은 필드와 높은 Xe 여기비율(Excitation Rate)의 특성을 지닌 양광주영역(Positive Column)를 적극 활용한다. 일반적으로 양광주영역(Positive Column)은 주로 $300\mu\text{m}$ 이상의 방전패스를 가질 경우에 발생하게 되며, 부글로우(Negative Glow) 영역에서의 효율이 1~2 lm/W인 것에 비하여 높은 효율(대개의 경우 7 lm/W)을 보이고 있다. 양광주영역(Positive Column)의 확대를 위해 셀내에서 ITO간의 간격(=d)을 최대화(ex. 0.81mm 픽셀 피치 기준에서 ITO 간격은 $300\mu\text{m}$ 이상)하였고, ITO간 간격의 증가에 따른 방전개시 및 유지 전압의 증가는 스캔전극(Y)과 어드레스전극(X)간의 간격(=L)을 $d > L$ 의 관계를 유지하면서, 서스테인 기간(SPD)동안 방전개시를 종래의 스캔전극(Y)과 서스테인전극(Z) 사이가 아닌 스캔전극(Y)과 어드레스전극(X)에서 발생시켜서 서스테인전극(Z)으로 이동시키는 것을 목표로 한다. 이를 위해 $d > L$ 관계의 설립은 필수이다. 다시말해서, 스캔전극(Y)과 서스테인전극(Z)간의 간격(d)을 스캔전극(Y)과 어드레스전극(X)간의 간격(L)보다 더 크게 설정하여 양광주영역(Positive Column)을 넓게 형성시켜 방전효율을 높이는 것이다.

<51> 도 7a 내지 7c는 도 6에 따른 수평형태의 양광주영역 구조에서 서스테인 기간동안 방전개시 및 유지를 자세히 나타내는 도면이다.

<52> 도 7a 내지 7c를 참조하여 설명하면, 서스테인 기간(SPD)에 도 7a에서 처럼 스캔전극(Y)과 서스테인전극(Z)간의 거리보다 스캔전극(Y)과 어드레스전극(X)간의 거리가 상대적으로 가깝기 때문에 스캔전극(Y)과 서스테인전극(Z)간에는 면방전이 발생되지 않고, 스캔전극(Y)과 어드레스전극(X)간에 미약한 대향방전이 발생하게 된다. 그 후, 도 7b에서처럼 스캔전극(Y)과 서스테인전극(Z) 사이의 전위차에 의해서 전자들이 서스테인전극(Z)으로 확산하면서 양광주영역(Positive Column)을 형성하게 된다. 이 후, 도 7c에서처럼 양광주영역(Positive Column)이 계속 확산되다가 끝나는 시점에서 반대극성을 갖고 있는 전하의 축적에 의해 스캔전극(Y)과 서

스테인전극(Z)사이의 전위차가 상쇄된다. 따라서, 방전이 서서히 약해지면서 각 전극의 벽전하의 극성이 반전 혹은 중성이 된다. 이러한 양광주영역(Positive Column)에서는 전계에 의한 에너지가 아니라 전체에서 에너지가 높은 전자들만 기체를 여기 시켜서 발광을 하게된다. 즉, 양광주영역(Positive Column)에서는 이온화는 거의 일어나지 않고 여기에 의한 발광이 많이 일어나서 전체적으로 에너지가 빛으로 많이 변환되어 효율이 좋다. 따라서, 이러한 양광주영역(Positive Column)을 극대화 할 수 있다면 방전효율을 높일 수 있다. 이에따라, 양광주영역(Positive Column)의 확대를 위해 방전셀 내에서 ITO 간의 간격을 최대화함으로써 방전효율을 높일 수 있다.

<53> 도 8a 및 8b는 종래의 전극구조와 양광주영역 전극구조의 효율을 보여주는 그래프이다.

<54> Xe가 5% 주입되고 500Torr의 압력을 갖는 Xe-Ne 가스를 봉입시키고 구동시키는 도 8a 및 8b를 참조하여 설명하면, 종래의 전극구조의 방전효율은 도 8a의 그래프에서 보듯이 11%임을 알 수 있다. 즉, 그래프에서 순간적으로 떨어졌다가 일정하게 유지되는 부분이 방전효율을 나타낸다. 한편, 본 발명에 따른 양광주영역(Positive Column) 전극구조의 방전효율은 도 8b에서 보듯이 23%임을 알 수 있다. 즉, 순간적으로 올라갔다가 다시 떨어져 일정하게 유지되는 부분이 양광주영역(Positive Column) 전극구조의 방전효율을 나타낸다. 결론적으로, 같은 양의 Xe를 주입하면서도 종래의 전극구조에 비해 본 발명에 따른 양광주영역(Positive Column)구조는 방전효율이 월등히 향상됨을 알 수 있다.

<55> 도 9는 어드레스전극에 정극성의 펄스를 인가하는 경우를 나타내는 그래프이다.

<56> 도 9를 참조하면, 서스테인 기간(SPD)동안 스캔전극(Y) 및 서스테인전극(Z)에 서스테인 펄스(SUSPy, SUSPz)가 교번적으로 공급될 때 이와 동기되도록 어드레

스캔전극(X)에 정극성의 펄스(Pulsed Bias)를 인가하게 되면, 스캔전극(Y)과 어드레스전극(X)간의 전압차가 더 크게 발생하므로 스캔전극(Y)과 어드레스전극(X)간의 방전이 잘 발생하여 방전 유지 전압의 강화와 여기된 Xe의 양의 증가를 가져올 수 있다. 이때, 스캔전극(Y) 및 서스테인전극(Z)에 공급되는 서스테인 펄스(SUSPy, SUSPz)는 서스테인 전압(Vs)에서 기저전위(GND)로 떨어지는 전압값을 갖는 펄스이다.

<57> 이를 자세히 설명하면, 도 9의 그래프에서 a 및 b는 스캔전극(Y) 및 서스테인전극(Z)에 인가되는 서스테인 펄스(SUSPy, SUSPz)를 나타내고, c는 서스테인 펄스(SUSPy, SUSPz) 인가시 이와 동기 되도록 어드레스전극(X)에 인가되는 정극성의 펄스(Pulsed Bias)를 나타낸다. 또한, d 및 e는 어드레스전극(X)에 정극성의 펄스(Pulsed Bias)가 인가되었을 경우와 인가되지 않았을 경우 방출되는 적외선의 양을 보여준다. 즉, 서스테인 기간(SPD)동안 스캔전극(Y)과 어드레스전극(X)간의 방전 시 어드레스전극(X)에 정극성의 펄스(Pulsed Bias)를 인가하지 않는 경우 도 9의 e처럼 스캔전극(Y)과 어드레스전극(X)간의 방전에 의해 방출되는 적외선의 양이 적을 뿐만아니라 방전이 늦게 일어나는 타임 딜레이(time delay)가 발생된다. 따라서, 서스테인 펄스(SUSPy, SUSPz)를 공급할 때 이와 동기 되도록 어드레스전극(X)에 도 9의 c 같은 정극성의 펄스(Pulsed Bias)를 인가한다. 즉, 스캔전극(Y) 혹은 서스테인전극(Z)에는 서스테인 전압(Vs)에서 기저전위(GND)로 떨어지는 전압값을 갖는 서스테인 펄스(SUSPy, SUSPz)가 공급되고, 이와 동기 되도록 어드레스전극(X)에는 기저전위(GND)에서 일정전압까지 상승하는 전압값을 갖는 서스테인 펄스(SUSPy, SUSPz)의 폭보다 작은 폭을 갖는 펄스가 공급된다. 따라서, 스캔전극(Y) 혹은 서스테인전극(Z)과 어드레스전극(X)간의 높은 전압차에 의해 서스테인 방전 시 도 9의 d 처럼 많은 양의 적외선을 방출할 수 있을 뿐만아니라 방전도 빨리 일어나므로 타임 딜레이(time delay)를 줄일 수 있다.

<58> 이때, 서스테인 기간(SPD)동안 어드레스전극(X)에 정극성의 펄스(Pulsed Bias)를 인가할 경우와 그렇지 않을 경우, 적색 서브픽셀(Sub-pixel)에서 발생하는 가시광의 양을 찍은 사진인 도 10을 살펴보면, 정극성의 펄스(Pused Bias)를 인가할 경우 좀 더 강한 가시광이 방전셀 중앙에서 발생됨을 알 수 있다.

<59> 한편, 7.5 인치 테스트 샘플을 사용하여 가시적인 효율을 종래의 샘플과 비교한 결과를 보여주는 도 11을 살펴보면, Xe가 6% 주입되고 500Torr의 압력을 갖는 Xe-Ne 가스를 봉입시키고 정극성의 펄스(Pulsed Bias)가 인가된 양광주영역(Positive Column) 구조는 2.0 lm/W의 효율을 갖기 위해 약 220V의 서스테인 전압이 필요하지만, 방전효율을 높이기 위하여 Xe가 14% 주입된 Xe-Ne 가스를 봉입시킨 종래의 전극구조는 2.0 lm/W의 효율을 갖기 위해서는 약 240V의 서스테인 전압이 필요하다. 이는 양광주영역(Positive Column) 구조에서 일반구조에서는 활용하기 어려운 양광주영역(Positive Column)의 사용을 극대화하면서 효율이 개선된 예로 볼 수 있다. 부가적으로 어드레스전극(X)에 정극성의 펄스(Pulsed Bias)를 인가하여 좀 더 낮은 전압에서 방전의 개시와 유지를 꾀함으로써 동일 구조에서도 10 ~ 20% 수준의 효율 개선을 가져올 수 있다.

【발명의 효과】

<60> 상술한 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널은 스캔전극과 서스테인전극간의 간격을 스캔전극과 어드레스전극간의 간격보다 크게 설정하여 스캔전극과 어드레스전극간의 방전을 먼저 발생시킴으로써 양광주영역을 확대시켜 방전효율을 높일 수 있다.

<61> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

상부기판 상에 서로 나란하게 형성된 스캔전극 및 서스테인전극과,

상기 스캔전극 및 서스테인전극에 교차되도록 하부기판 상에 형성된 어드레스전극을 구비하며,

상기 스캔전극과 서스테인전극간의 간격이 상기 스캔전극과 어드레스전극간의 간격보다 넓게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

【청구항 2】

제 1 항에 있어서,

상기 서스테인전극과 어드레스전극간의 간격은 상기 스캔전극과 어드레스전극간의 간격과 동일하게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

【청구항 3】

제 1 항에 있어서,

상기 스캔전극과 서스테인전극간의 간격은 $300\mu\text{m}$ 이상으로 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

【청구항 4】

상부기판 상에 서로 나란하게 형성된 유지전극쌍과,

상기 유지전극쌍에 교차되도록 하부기판 상에 형성된 어드레스전극을 구비하며,

서스테인 기간동안 상기 유지전극쌍 중 하나와 하부기판의 어드레스전극간의 대향방전이 발생하는 단계와,

상기 대향방전이 발생된 후 상기 유지전극쌍간의 면방전이 발생하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 5】

제 4 항에 있어서,

상기 서스테인 기간동안 상기 유지전극쌍에 서스테인 펄스가 교번적으로 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 6】

제 5 항에 있어서,

상기 서스테인 기간동안 상기 유지전극쌍에 서스테인 펄스가 교번적으로 공급될 때 상기 어드레스전극에 정극성의 펄스가 인가되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

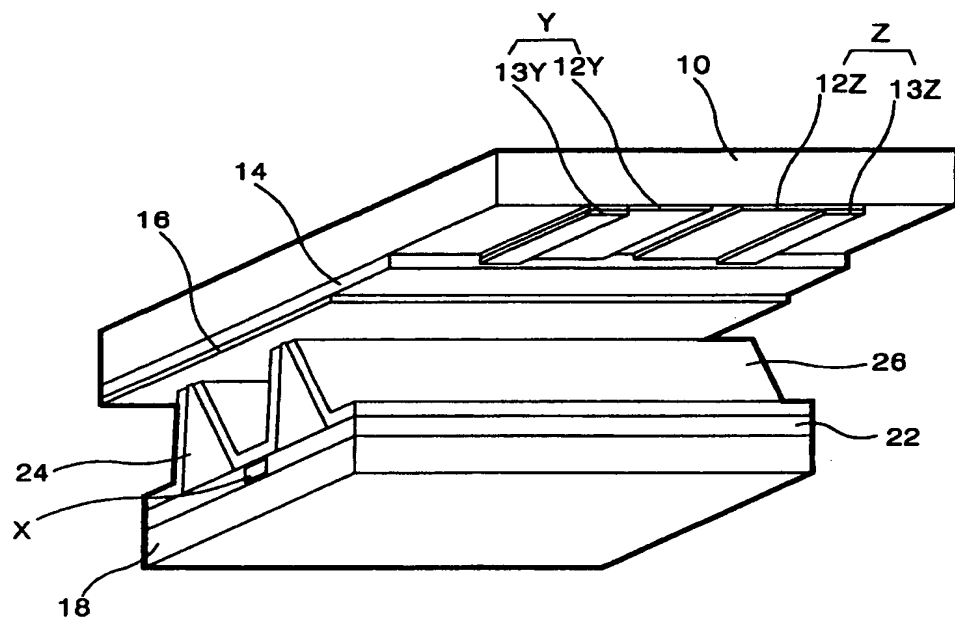
【청구항 7】

제 6 항에 있어서,

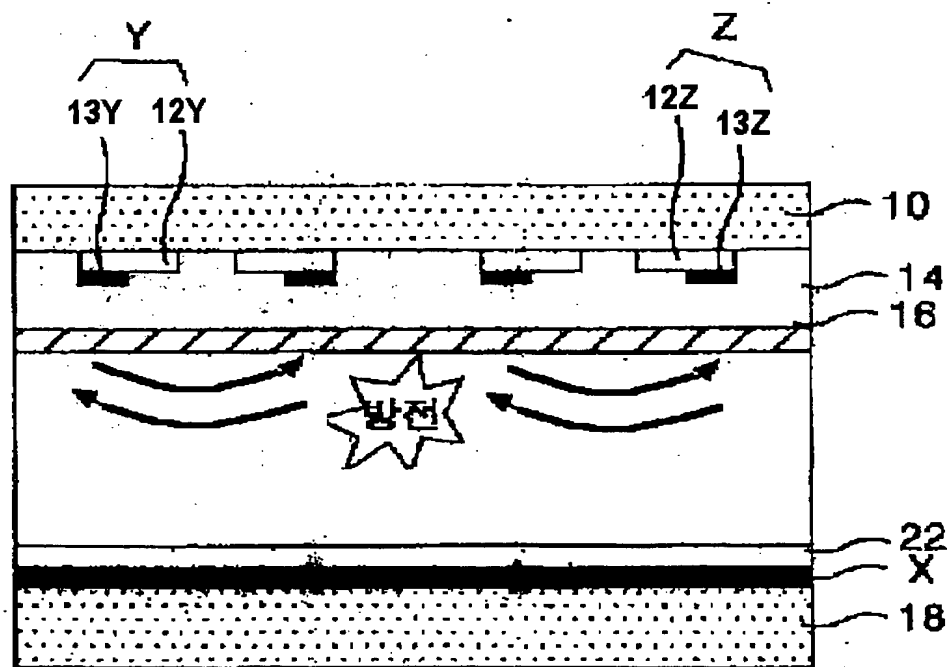
상기 펄스 바이아스의 폭은 상기 서스테인 펄스의 폭보다 작은 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【도면】

【도 1】

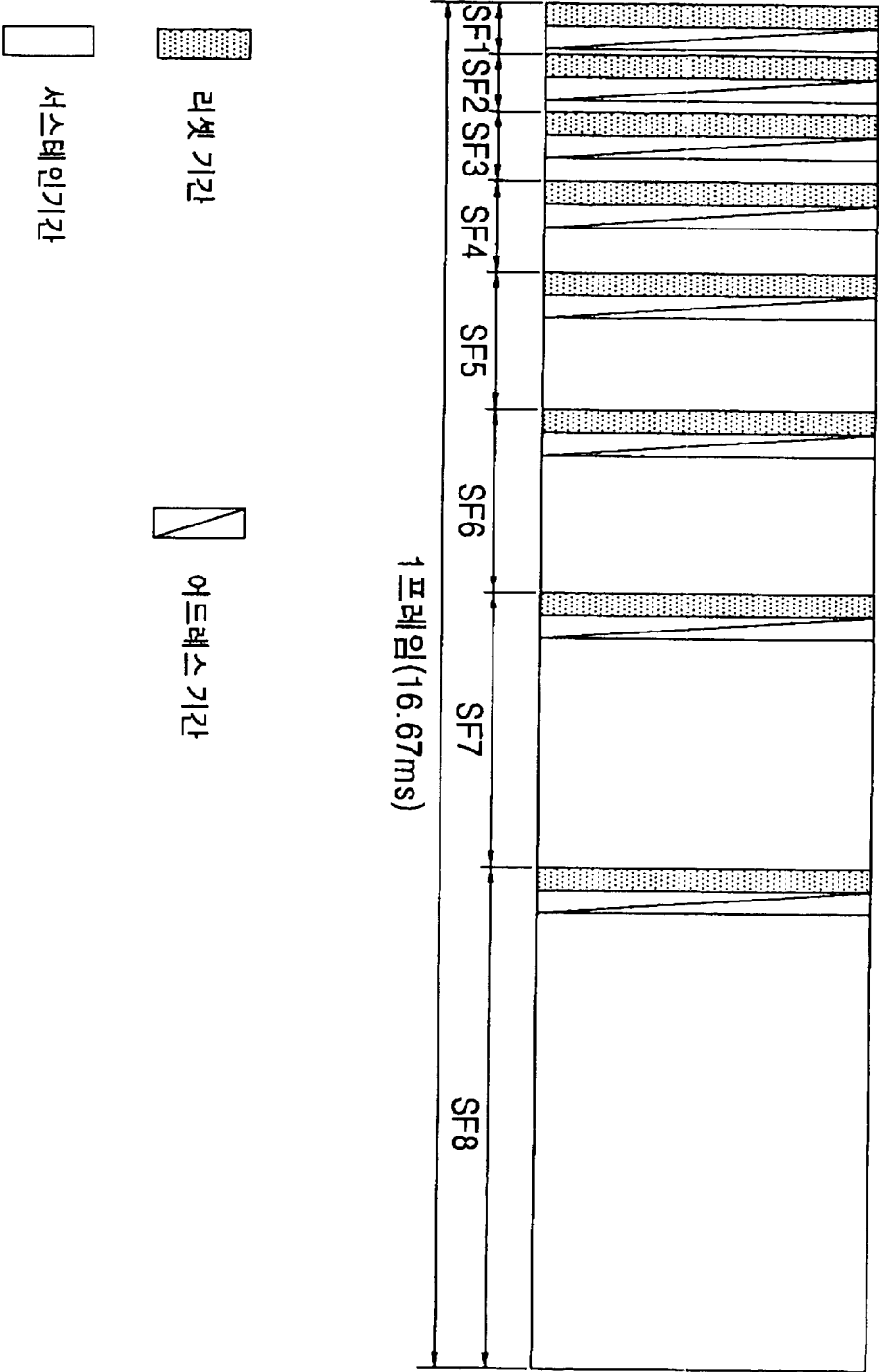


【도 2】

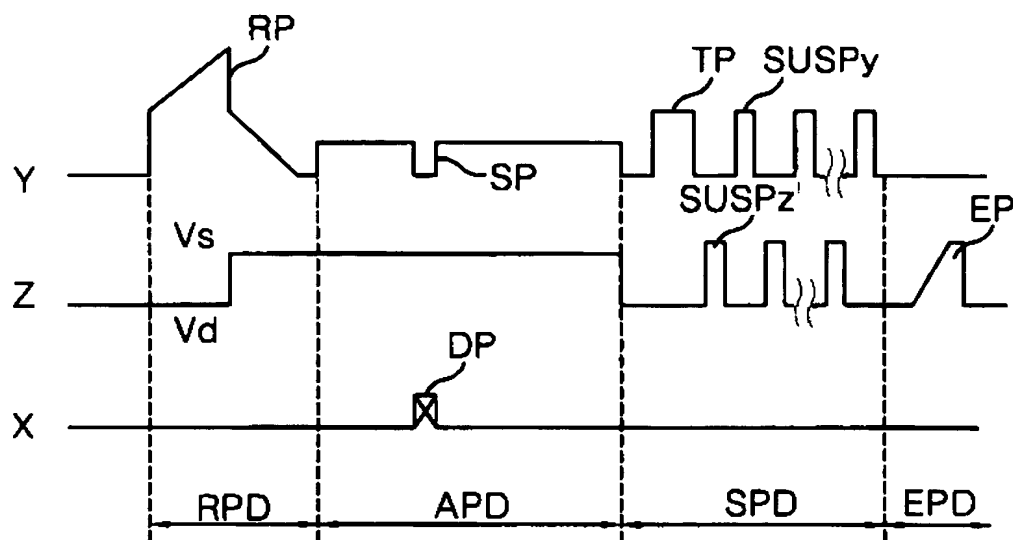




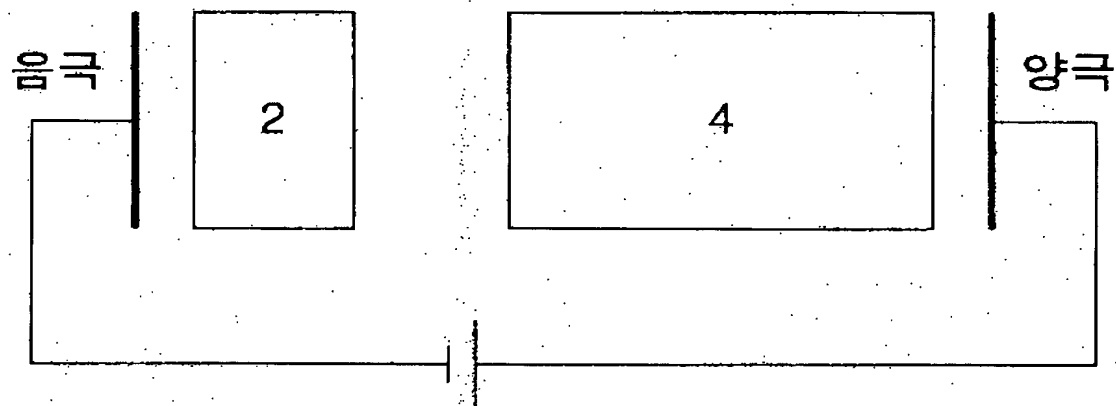
【도 3】



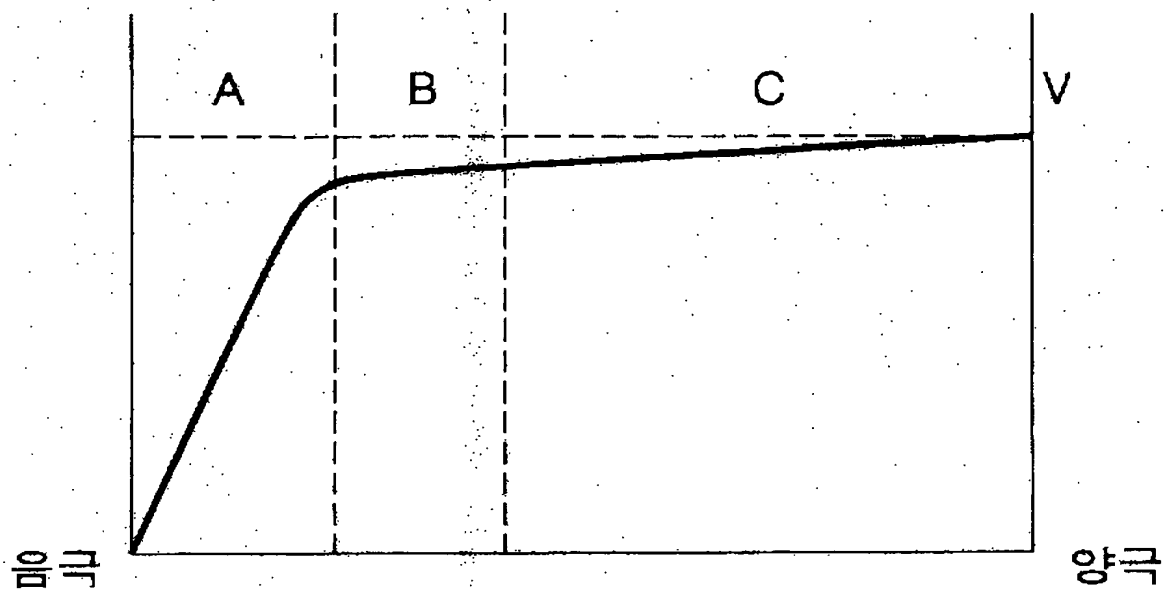
【도 4】



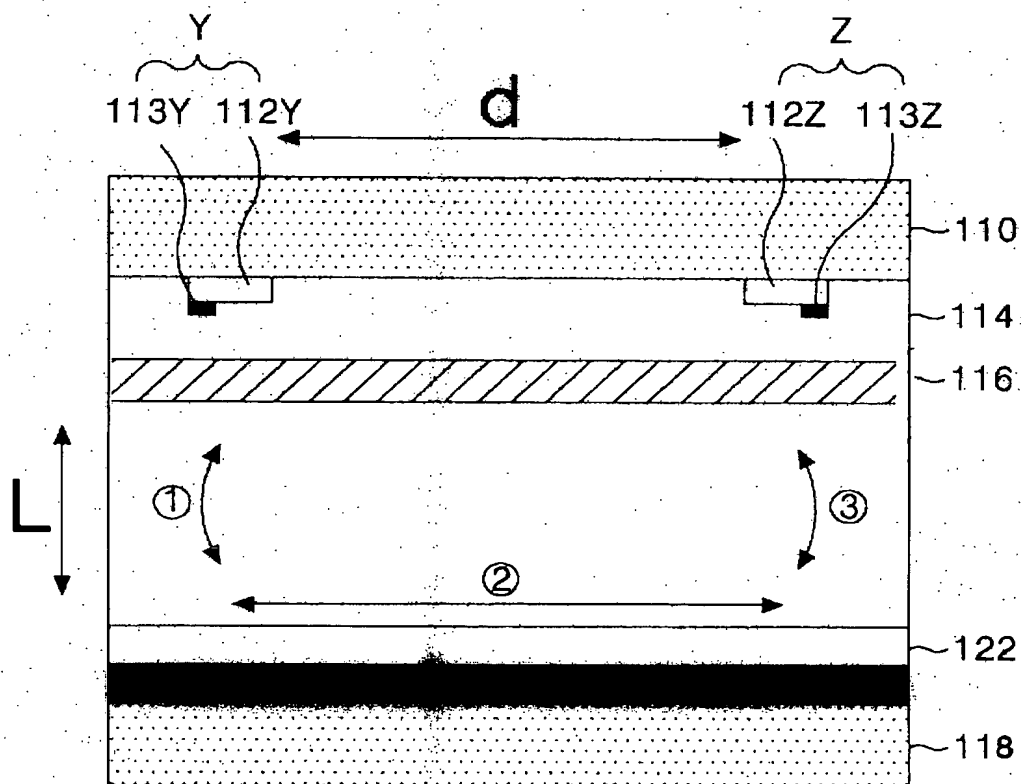
【도 5a】



【도 5b】

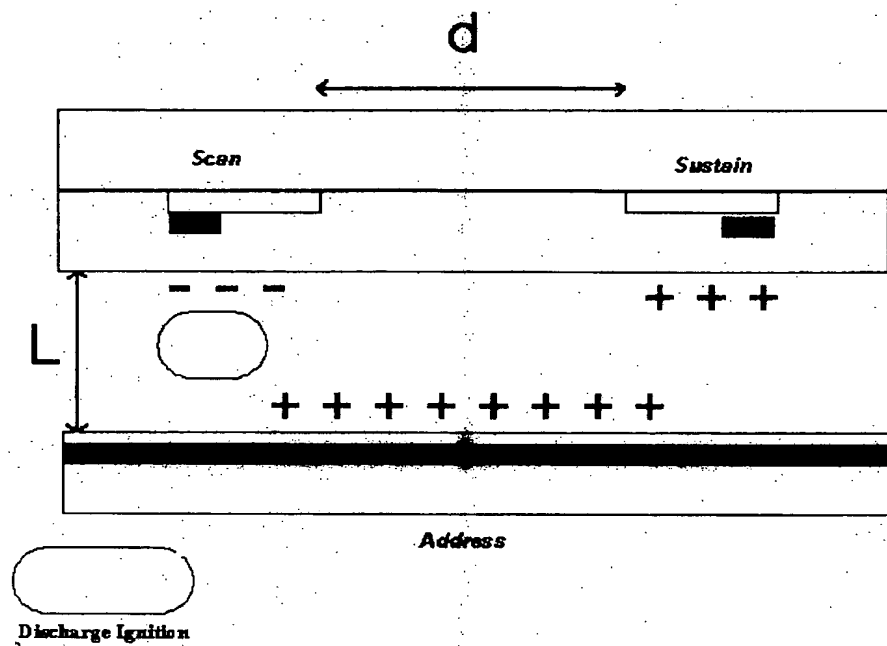


【도 6】

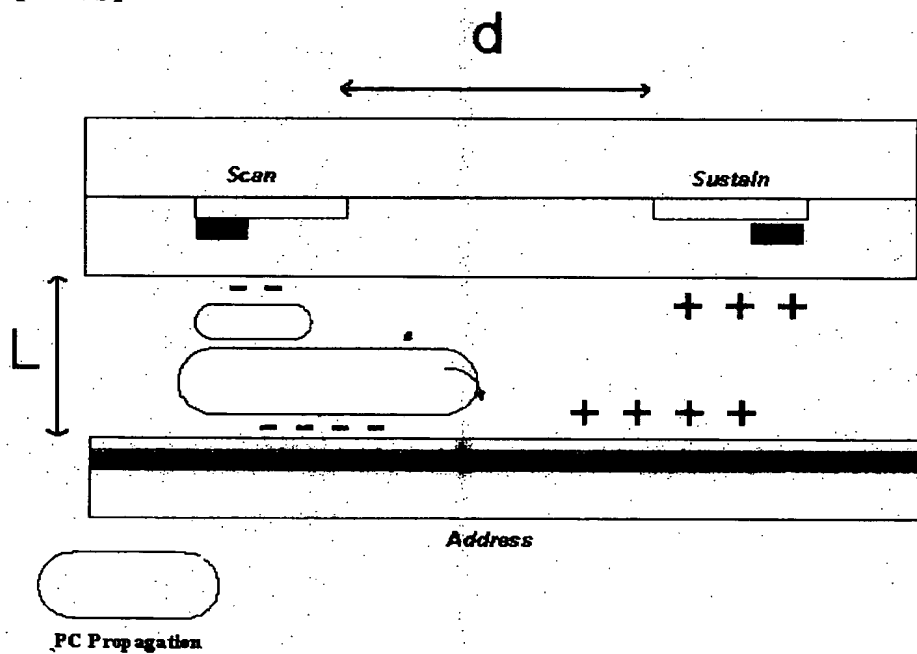




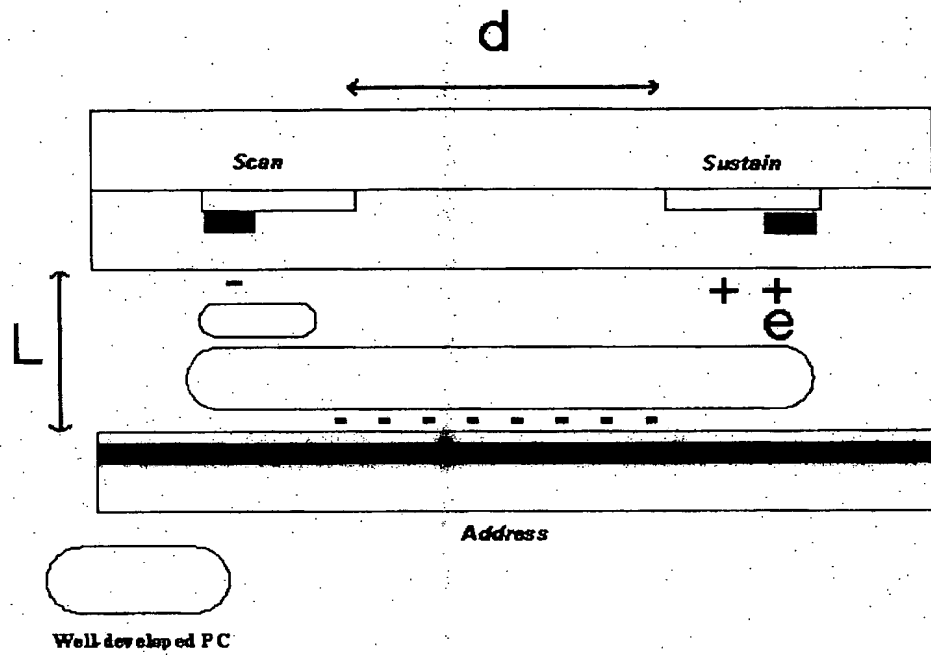
【도 7a】



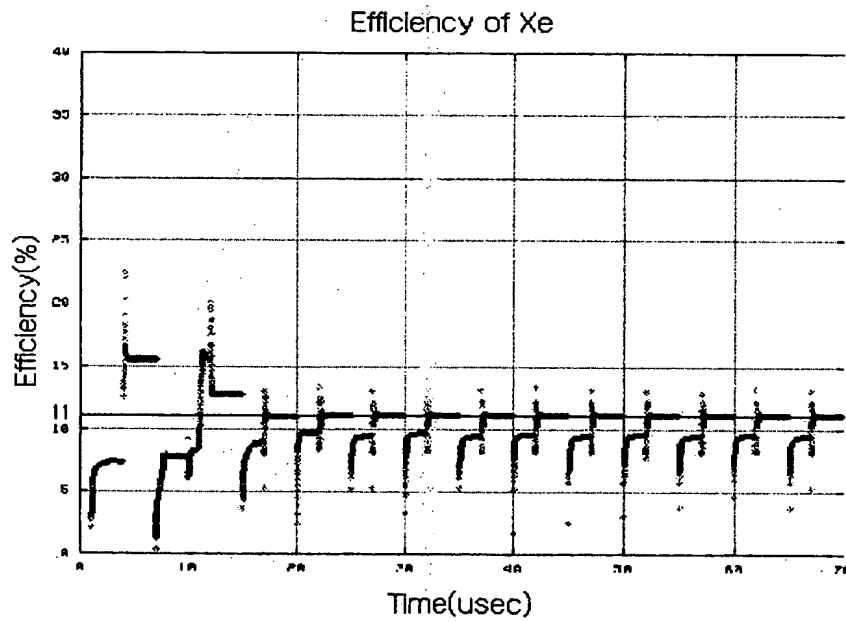
【도 7b】



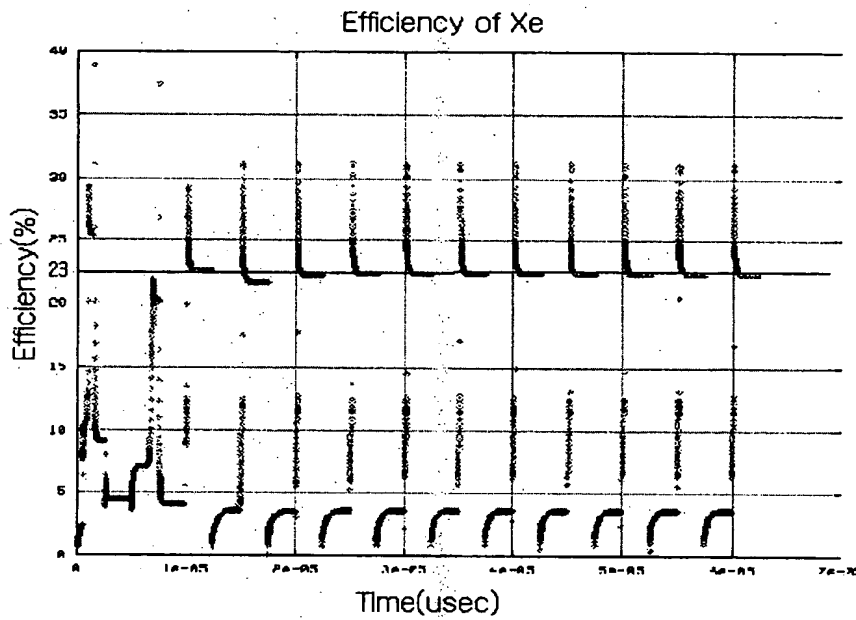
【도 7c】



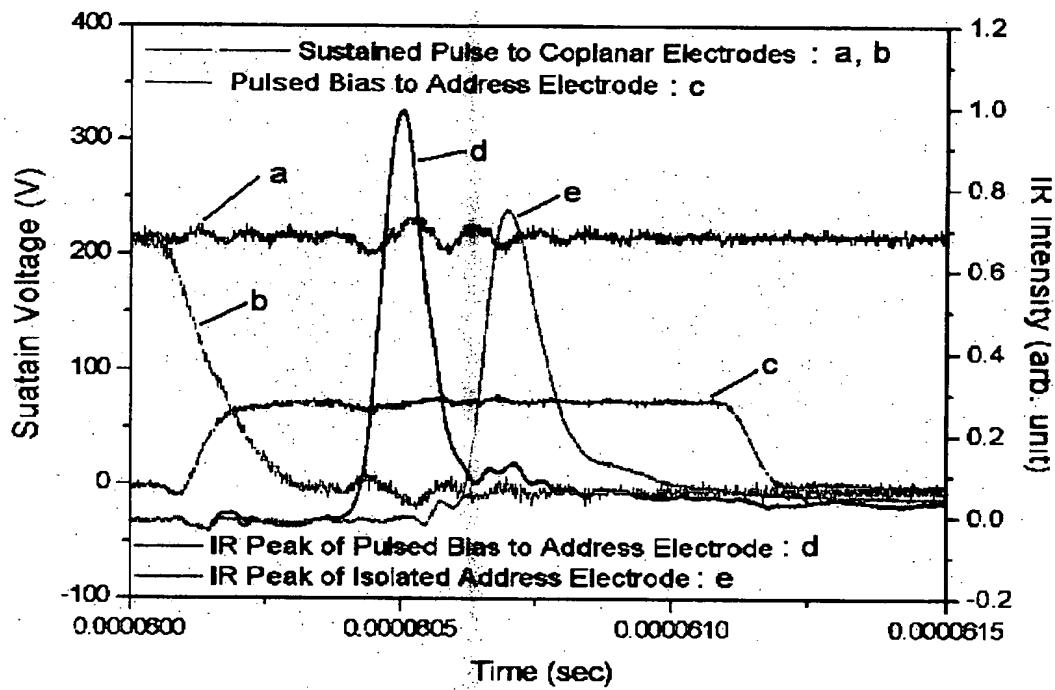
【도 8a】



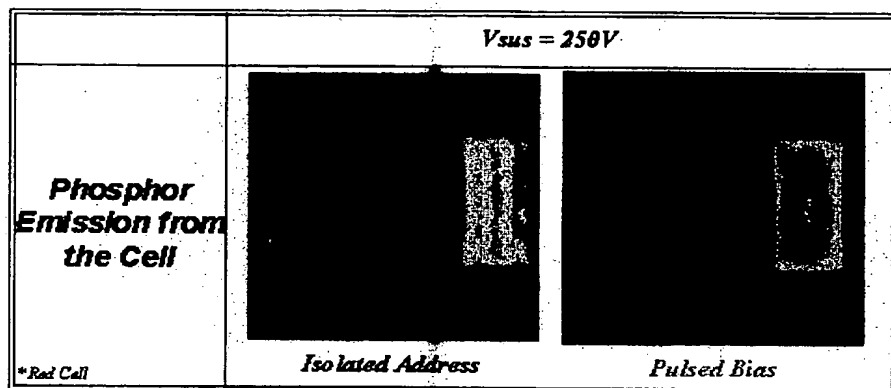
【도 8b】



【도 9】



【도 10】



【도 11】

